

#4

PATENT
81751.0014

Express Mail Label No. EL 894 944 935 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Shigeru MATSUYAMA

Serial No: Not assigned

Filed: July 24, 2001

For: DRIVER HAVING A STORAGE DEVICE,
ELECTRO-OPTICAL DEVICE USING THE
DRIVER, AND ELECTRONIC APPARATUS

Art Unit: Not assigned

Examiner: Not assigned



TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-228409 which was filed July 28, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 24, 2001

By: Michael Crapenhof
Michael Crapenhof
Registration No. 37,115
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

EPUS-3144
yk.

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月28日

出 願 番 号

Application Number:

特願2000-228409

出 願 人

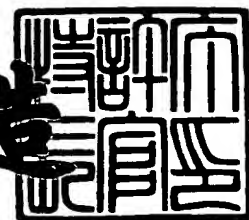
Applicant(s):

セイコーエプソン株式会社

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3041278

【書類名】 特許願

【整理番号】 EP-0214601

【提出日】 平成12年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 松山 茂

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

特 2 0 0 0 - 2 2 8 4 0 9

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置を内蔵した駆動装置およびそれを用いた電気光学装置並びに電子機器

【特許請求の範囲】

【請求項 1】 表示データに基づいて表示部を駆動させる、記憶装置を内蔵した駆動装置において、

前記記憶装置は、

複数のメモリセルと、

前記複数のメモリセルの各々に表示データを書き込むために選択される複数の第 1 のワード線と、

前記複数の第 1 のワード線の各々と対となって配置され、前記複数のメモリセルの各々の表示データを読み出すために選択される複数の第 2 のワード線と、

第 1 のワード線が選択されることにより、対応する複数のメモリセルに表示データを書き込むための複数の第 1 のビット線と、

前記複数の第 1 のビット線の各々と対となって配置され、第 2 のワード線が選択されることにより、対応する複数のメモリセルの表示データを読み出すための複数の第 2 のビット線と、

前記複数の第 2 のビット線の各々に電位を供給するプリチャージ手段と、

前記プリチャージ手段からの電位の供給を制御する複数の第 1 のスイッチング素子と、

前記複数のメモリセルの各々に記憶された表示データを読み出すタイミングに基づいて、前記複数の第 1 のスイッチング素子の各々の開閉を制御する複数の第 1 の制御ラインとを有することを特徴とする駆動装置。

【請求項 2】 請求項 1 において、

前記複数の第 2 のビット線の読み出し先には、一方が前記複数の第 2 のビット線の各々に接続され、他方が各々接地された複数の第 2 のスイッチング素子をさらに有し、

前記複数の第 1 の制御ラインの各々によって前記複数の第 1 のスイッチング素

子の各々が開閉されるタイミングに基づいて、前記複数の第 2 のスイッチング素子の各々の開閉を制御する第 2 の制御ラインを有することを特徴とする駆動装置

【請求項 3】 請求項 1 または 2 において、
表示データのそれぞれが N（N は自然数）ビット情報で形成されている場合、
前記複数の第 1 の制御ラインは N 本を有し、
表示データのそれぞれの内で同一の位に対応する 1 ビット情報が読み出される
前記複数の第 2 のビット線のうちの一群のビット線の各々と接続された第 1 のス
イッチング素子の開閉が、前記 N 本の第 1 の制御ラインの内の同一のラインで制
御されることを特徴とする駆動装置。

【請求項 4】 請求項 3 において、
前記第 2 の制御ラインは、前記 N 本の第 1 の制御ラインの各々と対となって配
置された N 本を有し、
表示データのそれぞれの内で同一の位に対応する 1 ビット情報が読み出される
前記複数の第 2 のビット線のうちの一群のビット線の各々と接続された第 2 のス
イッチング素子の開閉が、前記 N 本の第 2 の制御ラインの内の同一のラインで制
御されることを特徴とする駆動装置。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の駆動装置を有することを
特徴とする電気光学装置。

【請求項 6】 請求項 5 に記載の電気光学装置を有することを特徴とする電
子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶装置を内蔵した駆動装置およびそれを用いた電気光学装置並び
に電子機器に関する。

【0002】

【背景技術】

液晶装置では、通常、液晶表示パネルを駆動する表示用駆動装置内にフレーム

メモリーとして機能する記憶装置を設け、この記憶装置から表示データを読み込んで表示する方法が採用されている。例えば、単純マトリックス型の液晶表示パネルでは、フレームレート制御階調法（FRC法）や電圧階調法やパルス幅変調法（PWM）などといった階調表示方法が現在利用されている。このパルス幅変調法では、コモン電極（走査電極）を駆動させるコモン駆動装置によって選択された一水平走査期間（1H）を所要の階調数に分割し、その階調に応じてオン波形を印加する期間を変える方式である。そして、このパルス幅変調法では、階調表示を構成する表示データのビット数で一水平走査期間（1H）を分割し、その分割の際に各ビット毎に重み付けを行なうことにより、液晶印加電圧を制御することができる。他方では、液晶に電圧を印加する際に、上述の表示データを構成する各ビットのうちの、最上位ビット情報だけ、あるいは最下位ビット情報だけといった、ある特定のビット位置の情報を読み出すという必要も生じている。例えば、このような駆動方法は現在では、複数のコモン電極を同時選択するマルチライン駆動法（MLS）などに適用されている。

【0003】

【発明が解決しようとする課題】

例えば、2ビットで形成され4階調を表示する表示データを処理する駆動装置をパルス幅変調法により駆動させる場合について説明する。このとき、ある時点において、2ビットのうちの上位1ビットの情報が必要であるとき、同時にその時点では不必要な下位1ビットの情報までも読み出してしまっていた。

【0004】

これにより、不必要な下位1ビットを読み出すため、読み出し線の電位をある一定の状態にフローティング状態にしておくためのプリチャージ、またメモリセルの情報の読み出しの際の消費電流により、無駄な消費電力が使われていた。

【0005】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ある特定の時点において、表示データの特定の位置のビット情報を読み出すことができる記憶装置を内蔵した駆動装置並びにそれを用いた電気光学装置および電子機器を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

上述のような課題を解決するために本発明は、
表示データに基づいて表示部を駆動させる、記憶装置を内蔵した駆動装置において、

前記記憶装置は、

複数のメモリセルと、

前記複数のメモリセルの各々に表示データを書き込むために選択される複数の第1のワード線と、

前記複数の第1のワード線の各々と対となって配置され、前記複数のメモリセルの各々の表示データを読み出すために選択される複数の第2のワード線と、

第1のワード線が選択されることにより、対応する複数のメモリセルに表示データを書き込むための複数の第1のビット線と、

前記複数の第1のビット線の各々と対となって配置され、第2のワード線が選択されることにより、対応する複数のメモリセルの表示データを読み出すための複数の第2のビット線と、

前記複数の第2のビット線の各々に電位を供給するプリチャージ手段と、

前記プリチャージ手段からの電位の供給を制御する複数の第1のスイッチング素子と、

前記複数のメモリセルの各々に記憶された表示データを読み出すタイミングに基づいて、前記複数の第1のスイッチング素子の各々の開閉を制御する複数の第1の制御ラインとを有することを特徴とする。

【 0 0 0 7 】

このようにすることで、表示データをメモリセルから読み出す際、その表示データを形成するビット情報の内の特定位置のビット情報のみを読み出すために、特定の第2のビット線をプリチャージし、読み出し処理を行なうことができるようになり、低消費電力化が図られる。

【 0 0 0 8 】

また、本発明では、

前記複数の第 2 のビット線の読み出し先には、一方が前記複数の第 2 のビット線の各々に接続され、他方が各々接地された複数の第 2 のスイッチング素子をさらに有し、

前記複数の第 1 の制御ラインの各々によって前記複数の第 1 のスイッチング素子の各々が開閉されるタイミングに基づいて、前記複数の第 2 のスイッチング素子の各々の開閉を制御する第 2 の制御ラインを有することを特徴とする。

【 0 0 0 9 】

このように第 1 の制御ラインの制御と同じタイミングで複数の第 2 のスイッチング素子の開閉を制御する第 2 の制御ラインを設けることで、複数の第 2 のビット線の各々をロウレベルにプリチャージできるようになる。

【 0 0 1 0 】

また、本発明では、

表示データのそれぞれが N (N は自然数) ビット情報で形成されている場合、前記複数の第 1 の制御ラインは N 本を有し、

表示データのそれぞれの内で同一の位に対応する 1 ビット情報が読み出される前記複数の第 2 のビット線のうちの一群のビット線の各々と接続された第 1 のスイッチング素子の開閉が、前記 N 本の第 1 の制御ラインの内の同一のラインで制御されることを特徴とする。

【 0 0 1 1 】

N 本の第 1 の制御ラインのうち、表示データラッチ回路に読み出される表示データに対応した第 2 のビット線を制御する制御ラインを駆動させることができる。

【 0 0 1 2 】

これにより、第 2 のビット線の各々をロウレベルあるいはハイレベルにプリチャージするかを選択的に決定できる。

【 0 0 1 3 】

また、本発明では、

前記第 2 の制御ラインは、前記 N 本の第 1 の制御ラインの各々と対となって配置された N 本を有し、

表示データのそれぞれの内で同一の位に対応する 1 ビット情報が読み出される前記複数の第 2 のビット線のうちの一群のビット線の各々と接続された第 2 のスイッチング素子の開閉が、前記 N 本の第 2 の制御ラインの内の同一のラインで制御されることを特徴とする。

【 0 0 1 4 】

このようにすることで、表示データラッチ回路に読み出される表示データに対応した第 2 のビット線の各々の電位を抜くことができるようになる。これにより、さらに低消費電力化が図られる。

【 0 0 1 5 】

また、本発明の駆動装置を電気光学装置および電子機器に適用することができる。

【 0 0 1 6 】

【発明の実施の形態】

以下に本発明の実施形態について図面を用いて説明する。

【 0 0 1 7 】

(駆動装置について)

図 1 は、例えば、8 階調 (3 ビット) の表示が可能な液晶装置を駆動するための表示用の駆動装置 1 0 を示している。

【 0 0 1 8 】

この駆動装置 1 0 は、コモン駆動回路 2 0、セグメント駆動回路 2 2、デコーダ 2 4、表示データラッチ回路 2 6、表示データ RAM 3 0、I/O バッファ回路 3 2、ページアドレス回路 3 4、カラムアドレス回路 3 6、LCD 表示アドレス回路 3 8、表示タイミング発生回路 4 0、発振回路 4 2、MPU インターフェイス回路 5 0 および入出力バッファ 5 2 などの装置を有して構成されている。

【 0 0 1 9 】

MPU インターフェイス 5 0 には、外部の MPU 7 0 からの各種信号が入力されるための複数の入力端子 (図示しない) を有している。この入力端子としては、チップセレクト端子 XCS、データ識別端子 A0、データバスラッチ端子 XRD、データ取込み端子 XWR、リセット端子 XRES および入力切換え端子 P/

Sなどが設けられている。

【 0 0 2 0 】

チップセレクト端子XCSには、駆動装置10がアクティブな状態であるか否かを決定する信号が供給される。データ識別端子A0には、MPU70から供給されるデータが、コマンドデータあるいは表示データのどちらであるかを識別する信号が供給される。データバスラッチ端子XRDに信号が供給されると、データバス60がラッチされ、データ信号がデータバス60に出力される。データ取込み端子XWRに信号が供給されると、データバス60上のデータ信号が駆動装置10の内部に取り込まれる。リセット端子XRESに信号が供給されると、デフォルト値に設定される。入力切換え端子P/Sには、パラレルまたはシリアルデータのいずれか一方への入力切替えを行なう。

【 0 0 2 1 】

入出力バッファ52には、入出力端子D0～D7が設けられている。この入出力端子D0～D7を介して、外部のMPU70によって処理されたコマンドデータおよび表示データがともに駆動装置10に供給される。

【 0 0 2 2 】

以下には、MPUインターフェイス50に供給された各種信号による駆動装置10内の動作の一例を示す。

【 0 0 2 3 】

データ識別端子A0に信号「0」が入力されることで、入出力バッファ52にはコマンドデータが入力される。このコマンドデータは、入力切換え端子P/S端子によりシリアルデータとして入出力バッファ52に供給される。さらに、8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてコマンドデコーダ44に供給される。同様に、データ識別端子A0に「1」が入力されると、入出力バッファ52には表示データが入力される。この表示データは、入力切換え端子P/Sによりシリアルデータとして、入出力バッファ52に供給される。さらに、8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてデータバス60にパラレルに送出される。コマンドデコーダ44でデコードされたコマンドデー

タは、表示タイミング発生回路 4 0 の動作コマンドとして用いられる他、表示データ RAM 3 0 に接続された、ページアドレス回路 3 4 およびカラムアドレス回路 3 6 のそれぞれのアドレス指定などに用いられる。

【 0 0 2 4 】

ここで、ページアドレス回路 3 4 は、外部の MPU 7 0 から表示データ RAM 3 0 にアクセスする場合に、ページ方向のアドレス制御を行なう。同様に、カラムアドレス回路 3 6 は、外部の MPU 7 0 から表示データ RAM 3 0 にアクセスする場合に、カラム方向のアドレス制御を行なう。

【 0 0 2 5 】

一方、データバス 6 0 にラッチされた平行の表示データは、表示データ RAM 3 0 の I/O バッファ回路 3 2 を介して、コマンドにより指定されたページ及びカラムの各アドレスに従って、表示データ RAM 3 0 内の対応するメモリセルの各々に書き込まれる。

【 0 0 2 6 】

表示タイミング発生回路 4 0 には、クロック信号 CL、極性反転化信号 FR および階調制御信号 GCP などが供給される。表示タイミング発生回路 4 0 は、発振回路 4 2 により、これらの信号のタイミングを変換する。ここで、クロック信号 CL は、液晶パネルのフレーム（1 画面）の表示クロックを制御するための信号である。極性反転化信号 FR は、液晶パネルにおける各画素の電圧極性を、単位時間毎に変化させるための信号である。階調制御信号 GCP は、階調の濃淡のレベルを制御するための信号である。

【 0 0 2 7 】

表示データ RAM 3 0 は、液晶パネルにおける N（N は自然数）本のセグメント電極 SEG₁～SEG_Nと、M（M は自然数）本のコモン電極 COM₁～COM_Mとの交点に対応して形成される画素数（1 フレーム分）と同じ数である M×N 個のメモリ素子（メモリセル）を有している。なお、本実施形態では、SRAM（スタティック・ランダム・アクセスメモリ）をメモリセルに用いているが、DRAM（ダイナミック・ランダム・アクセスメモリ）などの記憶装置を適用してもよい。

【 0 0 2 8 】

この表示データ RAM 3 0 に記憶された表示データのうち、液晶パネル内の 1 本のコモン電極に対応する表示データ RAM 3 0 のメモリセルの情報の各々（1 ライン分）は、LCD 表示アドレス回路 3 8 の制御に基づいて、順次、表示データラッチ回路 2 6 に読み出される。表示データは、表示タイミング発生回路 4 0 から供給されるクロック信号 CL に基づいて、デコーダ 2 4 に供給される。デコーダ 2 4 によりデコードされた表示データは、セグメント駆動回路 2 2 にて、液晶パネルの駆動に必要なレベルの電圧に変換され、セグメント電極 $SEG_1 \sim SEG_N$ の各々に供給される。そしてコモン駆動回路 2 0 により、まだ選択されていないコモン電極が、順次、選択されていく。

【 0 0 2 9 】

（比較例としての表示データ RAM について）

本実施形態では、上述のような 3 ビット（8 階調）を単位として形成された表示データを表示駆動させる駆動装置 1 0 において、ある時点で、その表示データの各々のうちで同一の位のビット情報を液晶パネルに出力して駆動させる。

【 0 0 3 0 】

このように表示駆動をさせるための表示データ RAM 3 0 A の構成の一例を図 4 に示す。

【 0 0 3 1 】

この表示データ RAM 3 0 A は、記憶領域 1 1 0 A およびプリチャージ回路部 1 0 4 などを有して構成されている。

【 0 0 3 2 】

この表示データ RAM 3 0 A に記憶された表示データのうち、液晶パネル内の 1 本のコモン電極に対応するメモリセルの情報の各々（1 ライン分）は、LCD 表示アドレス回路 3 8 A の制御に基づいて、順次、表示データラッチ回路 2 6 に読み出される。

【 0 0 3 3 】

記憶領域 1 0 0 には、外部の MPU 7 0 から供給される表示データの書き込み制御を行なうための、M 本のワード線 $WL_1 \sim WL_M$ 、N 本のビット線 $BL_1 \sim BL_N$

L_N 、およびN本のビット対線 $XB L_1 \sim XB L_N$ がそれぞれ配置されている。このそれぞれの線の交差位置に対応して、 $M \times N$ 個のメモリセル $MC_{11} \sim MC_{MN}$ が配置されている。さらに、このメモリセル $MC_{11} \sim MC_{MN}$ の各々に対応して、その記憶された情報の各々を液晶パネルに供給またはその供給の制御をするための、N本のLCD系ビット線 $LCDB L_1 \sim LCDB L_N$ 、およびM対のLCD系ワード線 $LCDWL_1 \sim LCDWL_M$ がそれぞれ配置されている。このM対のLCD系ワード線 $LCDWL_1 \sim LCDWL_M$ の各々は、3ビットの表示データに対応して、3本のLCD系ワード線で構成されている。例えば、LCD系ワード線 $LCDWL_1$ は、サフィックス1～3を付した、3本のLCD系ワード線 $LCDWL_1 - 1 \sim LCDWL_1 - 3$ から成っている。

【0034】

記憶領域110A内に配置されている1つのメモリセル MC_{11} を一例とした場合、Nチャネル型トランジスタ $QN10, 12$ 、Pチャネル型トランジスタ $QP10, 12$ 、およびインバータ $INV10, 12$ がそれぞれ配置されている。

【0035】

メモリセル MC_{11} において、ワード線 WL_1 が選択されることで、Nチャネル型トランジスタ $QN10, 12$ がオンし、ビット線 BL_1 およびビット対線 $XB L_1$ を介して表示データの書き込み制御が行なわれる。この表示データは、インバータ $INV10, 12$ で構成されるフリップフロップによってラッチされる。また、Pチャネル型MOSトランジスタ $QP12$ のゲートには、LCD系ワード線 $LCDWL_1 - 1$ が接続されている。

【0036】

メモリセル MC_{12} のPチャネル型MOSトランジスタ $QP12$ のゲートにはLCD系ワード線 $LCDWL_1 - 2$ が、メモリセル MC_{13} のPチャネル型MOSトランジスタ $QP12$ のゲートにはLCD系ワード線 $LCDWL_1 - 3$ が、それぞれ接続されている。

【0037】

また、プリチャージ回路部104は、プリセット線 PS を有して構成されている。プリセット線 PS は、Nチャネル型MOSトランジスタ $QN20$ の開閉を制

御する。そして、このNチャネル型MOSトランジスタQN20がオンされることで、LCD系ビット線LCDBL₁~LCDBL_Nのそれぞれの一方に接地電位V_{SS}が供給される。

【0038】

例えば便宜的に、メモリセルMC₁₁~MC₁₃の3ビットで形成される表示データに注目した場合、メモリセルMC₁₁の情報のみを液晶パネルに出力する場合の動作について、以下に説明する。メモリセルMC₁₁の情報のみを選択する場合には、LCD表示アドレス回路38Aにより、LCD系ワード線LCDWL₁₋₁が選択される。この後に、メモリセルMC₁₁の情報がLCD系ビット線LCDBL₁を介して、液晶パネルに出力される。

【0039】

このように表示データRAM30Aを構成することで、LCD表示アドレス回路38Aに基づいて、適当なLCD系ワード線を選択した後に、表示データの所定の位のビット情報を読み出すことができる。

【0040】

しかし、このような構成にした場合、LCD系ワード線の本数は記憶装置のページ（行）方向のメモリセル数、および液晶パネルで表示する階調数に比例して増加し、表示データRAM30Aのサイズが大きくなってしまいう問題が生ずる。

【0041】

そこで、以下に説明する図2に示すような表示データRAM30を用いることにする。

【0042】

（本実施形態に係る表示データRAMについて）

図2は本実施形態に係る駆動装置10に内蔵された、表示データRAM30の回路構成を示している。

【0043】

この表示データRAM30は、記憶領域110およびプリチャージ回路部112を有している。

【0044】

プリチャージ回路部112は、電位 V_{DD} を供給するプリチャージ回路、プリチャージ線PCおよびプリセット線PSを有して構成されている。

【0045】

このプリチャージ線PCは、Pチャネル型MOSトランジスタQP20の開閉を制御する。そして、このPチャネル型MOSトランジスタQP20がオンされることで、LCD系ビット線LCDBL₁～LCDBL_Nのそれぞれの方に電源電位 V_{DD} が供給される。

【0046】

プリセット線PSは、Nチャネル型MOSトランジスタQN20の開閉を制御する。そして、このNチャネル型MOSトランジスタQN20がオンされることで、LCD系ビット線LCDBL₁～LCDBL_Nのそれぞれの方に接地電位 V_{SS} が供給される。

【0047】

ここで、本実施形態では、3ビットを単位として形成された表示データを用いている。このため、プリチャージ線PCは3本のプリチャージ線PC₁～PC₃、プリセット線PSは3本のプリセット線PS₁～PS₃がそれぞれ対と成って構成されている。

【0048】

なお、インバータINV20はLCD系ビット線LCDBL₁～LCDBL_Nのそれぞれに読み出される論理出力を逆転させるように機能する。同時に、Nチャネル型MOSトランジスタQN22は、LCD系ビット線LCDBL₁～LCDBL_Nのそれぞれに読み出される論理出力の振幅レベルを維持するように機能させるために設けられている。

【0049】

図3は、パルス幅変調方式(PWM)で駆動された液晶パネルにおいて、表示データRAM30に記憶された表示データが読み出されるタイミングチャートを示している。なお、上述したように、表示データは3ビットを単位として形成されており、例えば、メモリセルMC₁₁、MC₁₂およびMC₁₃の単位で1つの表示

データを表している。この図3で、例えば3ビットで形成される表示データであるメモリセル $MC_{11} \sim MC_{13}$ の中で、最上位ビットであるメモリセル MC_{11} のデータが読み出されときの動作を以下に説明する。

【0050】

LCD表示アドレス回路38により、LCD表示部の対象となるライン（走査線）が選択された後の時点 t_1 において、プリチャージ線 PC_1 、およびプリセット線 PS_1 が共に選択される。この時点 t_1 では、プリチャージ線 PC_1 にはハイレベル「H」、プリセット線 PS_1 にはハイレベル「H」の電位がそれぞれ供給される。そして、Nチャネル型MOSトランジスタ $QN20$ がオンし、Pチャネル型MOSトランジスタ $QP20$ はオフすることで、LCD系ビット線 $LCD\ BL_1$ がロウレベル「L」にプリチャージされる。このとき、LCD系ビット線 $LCD\ BL_2$ 、 $LCD\ BL_3$ は共に、ハイレベル「H」の電位が供給され、ロウレベル「L」にプリチャージされない。

【0051】

時点 t_2 においては、プリチャージ線 PC_1 はロウレベル「L」になり、プリチャージは終了する。この後に、LCD系ワード線 $LCD\ WL_1$ が選択され、これによりメモリセル MC_{11} の情報がLCD系ビット線 $LCD\ BL_1$ を介して、表示データRAM30の外部に読み出される。このとき、プリセット線 PS_2 、 PS_3 は共にロウレベル「L」なので、Pチャネル型MOSトランジスタ $QP20$ はオンし、LCD系ビット線 $LCD\ BL_2$ 、 $LCD\ BL_3$ はともに電源電位 VDD レベルであるハイレベル「H」にはチャージされる。このため、メモリセル MC_{12} 、 MC_{13} の情報は共にLCD系ビット線上に読み出されることはない。つまり、以上説明した動作においては、最上位ビットであるメモリセル MC_{11} の情報が、表示データRAM30の外部に読み出されることになる。

【0052】

この読み出された情報は、時点 t_2 から時点 t_3 にかけてセグメント駆動回路22を介して液晶パネルに供給される。

【0053】

LCD表示アドレス回路38により選択されたメモリセルの情報が、以下同様

の動作によって、読み出されることになる。

【 0 0 5 4 】

このように、表示データ RAM 3 0 を動作させることで、ある時点に、表示データの中位ビット情報あるいは最下位ビット情報などを選択して読み出すことができるようになる。

【 0 0 5 5 】

以上説明した通り、本実施形態では以下のような効果を奏する。

【 0 0 5 6 】

表示用駆動装置に組み込まれた記憶装置に記憶された表示データのうち、不必要なビット位置のデータをプリチャージし、かつ読み出すことなく、特定のビット位置のみをプリチャージかつ読み出して液晶パネルに供給することができる。これにより低消費電力化を図ることができるようになる。

【 0 0 5 7 】

また、LCD 系ワード線を増やすことなく、表示データ RAM を構成でき、これにより記憶装置自体のサイズの増大を抑えることができる。

【 0 0 5 8 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した実施の形態では、3 ビットで形成される表示データを用いたが、8 ビットで形成され 2 5 6 階調を表示する表示用駆動装置に本発明を適用することも当然に可能である。この場合、8 対のプリチャージ線 $PC_1 \sim PC_8$ 、プリセット線 $PS_1 \sim PS_8$ が必要になる。

【 0 0 5 9 】

本実施形態では TFT 型の液晶装置を用いて説明したが、他の種々の方式の表示装置にも適用できる。

【 0 0 6 0 】

また、本実施形態の LCD 系ビット線のように、読み出しを別系統で行なう記憶装置が必要になるものであれば、適用可能である。

【 0 0 6 1 】

本発明は、例えば、携帯電話、ゲーム機器、電子手帳、パーソナルコンピュー

タ、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

【図面の簡単な説明】

【図 1】

本実施形態に係る駆動装置の構成を示す図である。

【図 2】

図 1 に示す表示データ RAM の構成を示す図である。

【図 3】

図 2 に示す表示データ RAM からの表示データの読み出し動作を示す図である。

【図 4】

図 2 に示す表示データ RAM の変形例を示す図である。

【符号の説明】

- 1 0 駆動装置
- 2 0 コモン駆動回路
- 2 2 セグメント駆動回路
- 2 4 デコーダ
- 2 6 表示データラッチ回路
- 3 0, 3 0 A 表示データ RAM
- 3 2 I/Oバッファ回路
- 3 4 ページアドレス回路
- 3 6 カラムアドレス回路
- 3 8, 3 8 A LCD表示アドレス回路
- 4 0 表示タイミング発生回路
- 4 2 発振回路
- 4 4 コマンドデコーダ
- 5 0 MPUインターフェイス
- 5 2 入出力バッファ
- 6 0 バスライン

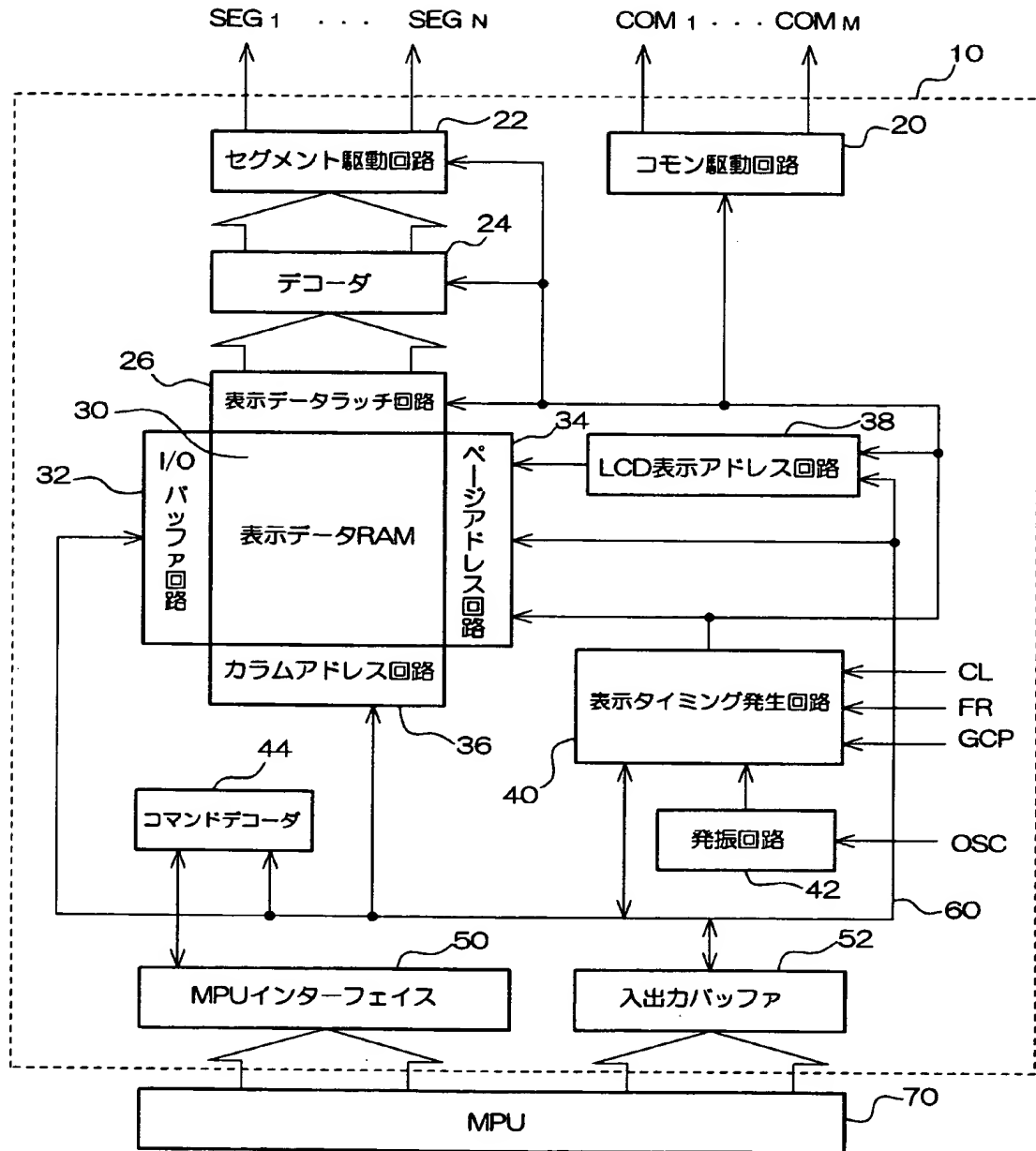
7 0 M P U

1 1 0 , 1 1 0 A 記憶領域

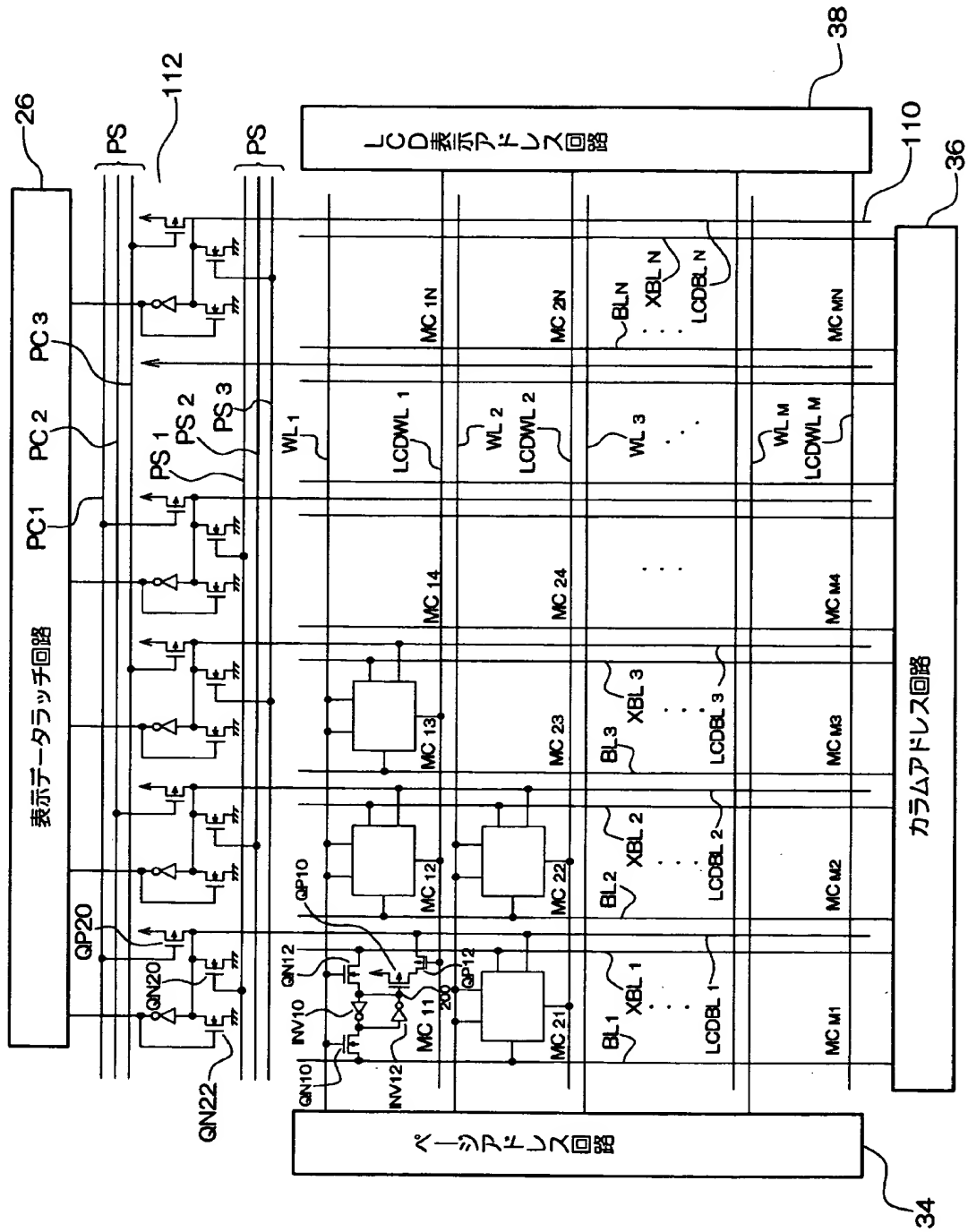
1 0 4 , 1 1 2 プリチャージ回路部

【書類名】 図面

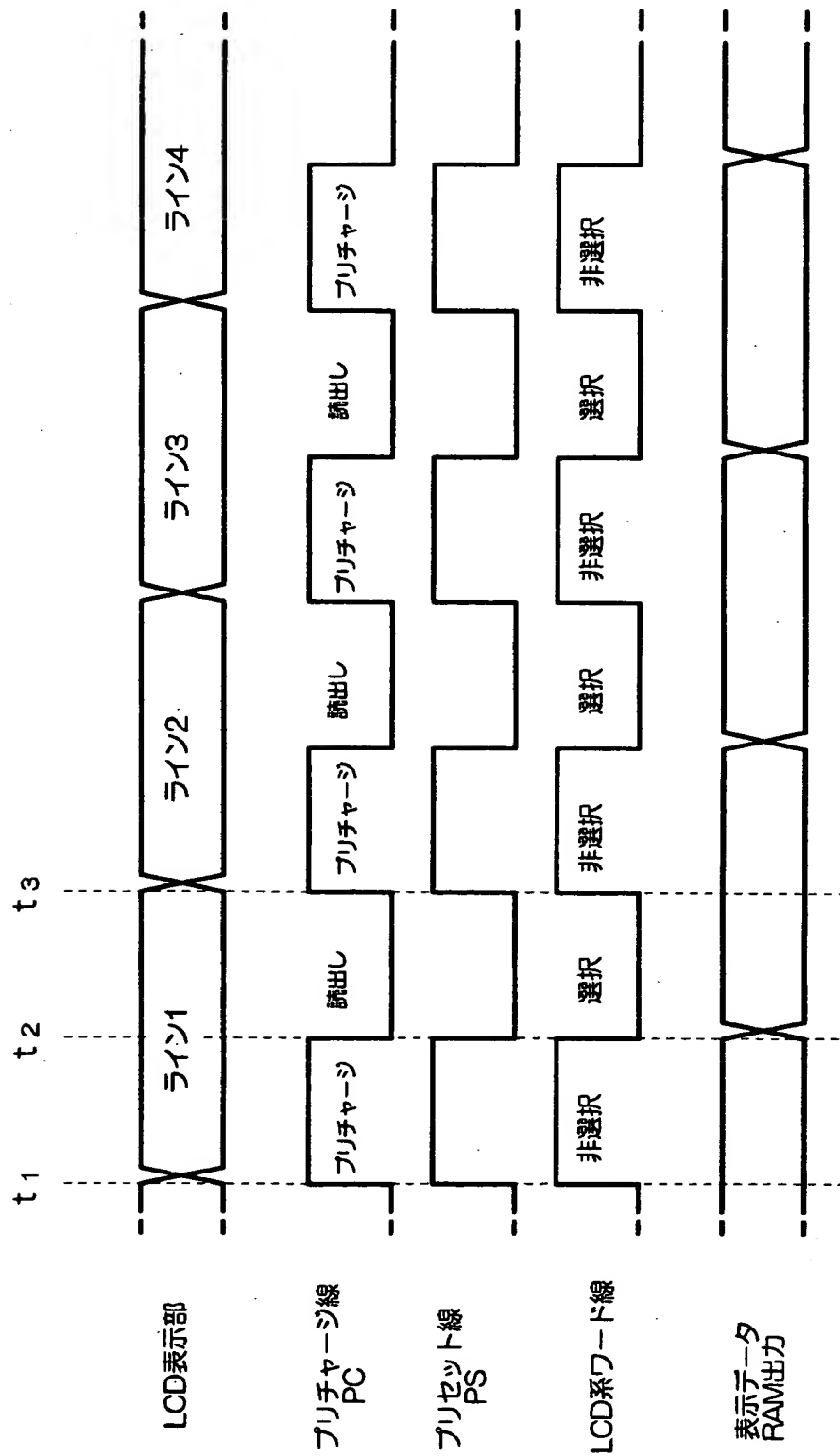
【図 1】



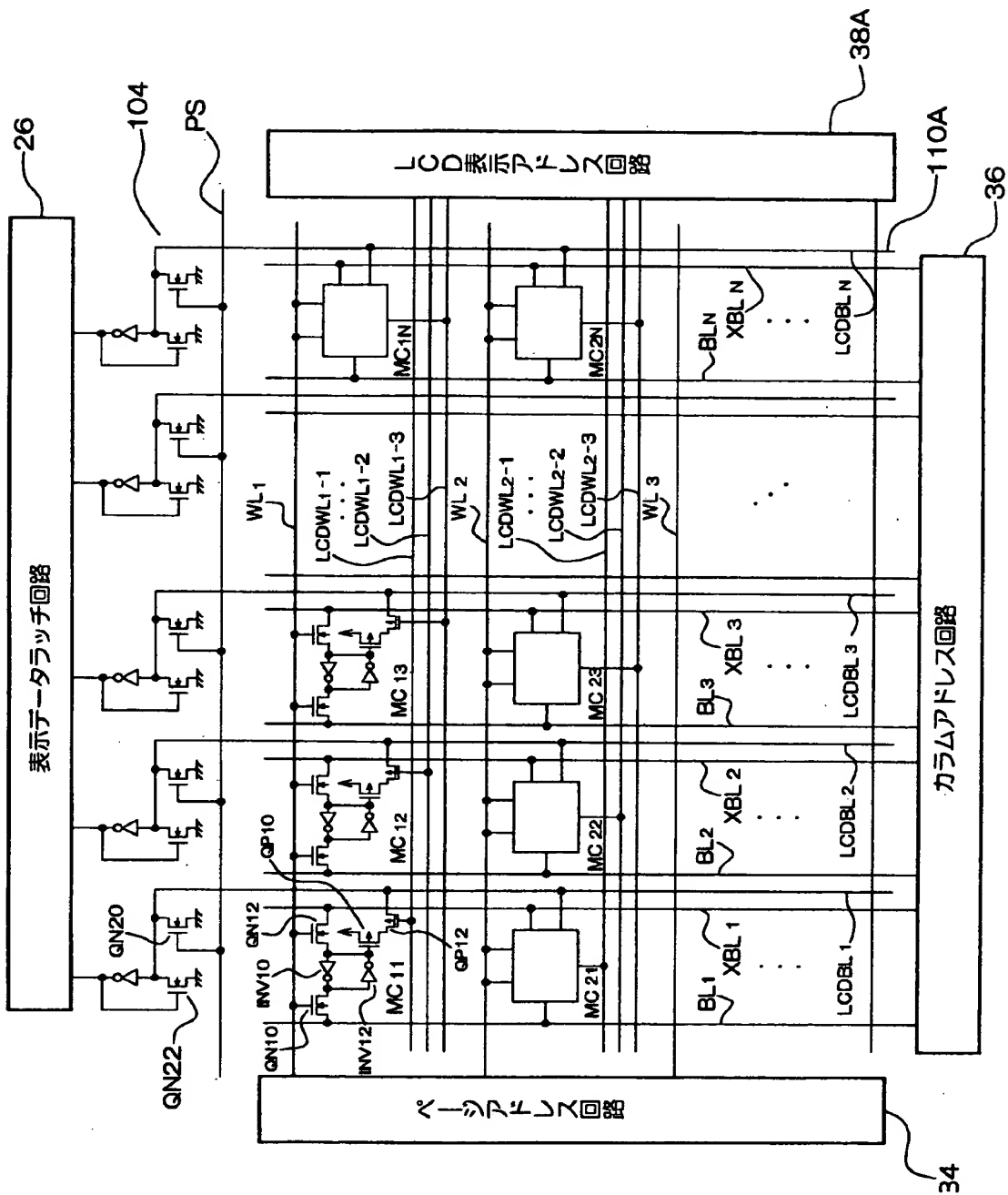
【図 2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 特定の時点において、表示データのうち不必要な位のビット情報を読み出すことなく表示駆動を行なわせることで、無駄な消費電力を削減する。

【解決手段】 本発明に係る表示データRAM30は、記憶領域110およびプリチャージ回路部112を有している。記憶領域110は、LCD表示アドレス回路38により、メモリセルの $MC_{11} \sim MC_{MN}$ の各々に記憶された表示データが読み出されるLCD系ビット線 $LCDBL_1 \sim LCDBL_N$ などを有して構成されている。また、プリチャージ回路部112は、プリチャージ線PCおよびプリセット線PSなどを有して構成されている。この複数のプリチャージ線PCの各々に選択的に電位を供給することで、メモリセルに記憶された表示データの特定の位のビット情報を読み出すことができるようになり、表示駆動装置の低消費電力化が図れる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社